

## PATENT ABSTRACTS OF JAPAN

3

(11)Publication number : 11-109184

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G02B 6/42

H01L 33/00

H01S 3/18

(21)Application number : 09-266311

(71)Applicant : KYOCERA CORP

(22)Date of filing : 30.09.1997

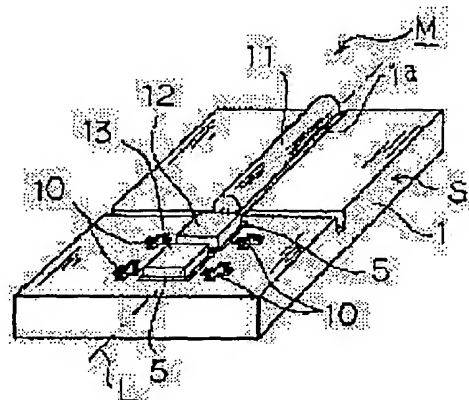
(72)Inventor : SAKUJIMA SHIROU  
TAKEMURA KOJI

## (54) OPTICAL DEVICE MOUNTING BASE AND OPTICAL MODULE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an optical device mounting base and an optical module having a positioning marker having a good detection precision in which a loading groove for an optical waveguide body such as optical fiber or optical waveguide can be precisely positioned to the positioning marker for an optical element.

**SOLUTION:** A base 1 has a loading groove 1a for loading an optical waveguide body 11 which is formed by etching, an electrode pattern 5 for loading optical elements 12, 13 to be optically coupled to the optical waveguide body 11, and a plurality of opening markers 10 consisting of etching resisting films resistant to the etchant used for the formation of the loading groove 1a, which are formed with a prescribed distance from the loading groove 1a. The opening markers 10 are used for the positioning of the optical elements 12, 13.



## LEGAL STATUS

[Date of request for examination]

28.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(31 131 1)

3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-109184

(43) 公開日 平成11年(1999) 4月23日

(51) Int. Cl.

識別記号

庁内整理番号

F I

技術表示箇所

G02B 6/42

G02B 6/42

H01L 33/00

H01L 33/00

N

H01S 3/18

H01S 3/18

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-266311

(22) 出願日 平成 9 年(1997) 9 月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽段町 6 番地

(72) 発明者 作島 史朗

京都府相楽郡精華町光台 3 丁目 5 番地 京

セラ株式会社中央研究所内

(72) 発明者 竹村 浩二

京都府相楽郡精華町光台 3 丁目 5 番地 京

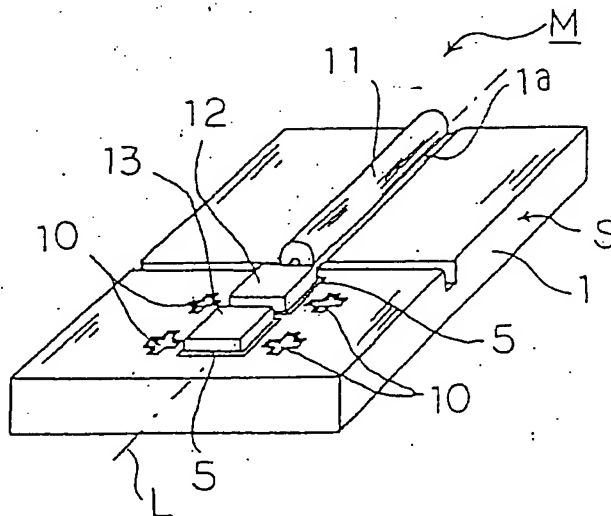
セラ株式会社中央研究所内

(54) 【発明の名称】 光デバイス実装用基板及び光モジュール

(57) 【要約】

【課題】 光ファイバや光導波路等の光導波体の搭載溝と光素子の位置合わせ用マーカとの位置合わせが精度良く作製され、かつ検出精度のよい位置合わせ用マーカを有する光デバイス実装用基板及び光モジュールを提供すること。

【解決手段】 基板 1 の一主面に、光導波体 11 が搭載されるエッチング加工により形成された搭載溝 1 a と、光導波体 11 と光結合させる光素子 12、13 が搭載される電極パターン 5 と、搭載溝 1 a に対し所定距離隔てて形成され搭載溝 1 a の形成に用いるエッチング液に対し耐性を有する耐エッチング膜から成る複数の開口状マーカ 10 とを設け、これら複数の開口状マーカ 10 を光素子 12、13 の位置合わせに用いることを特徴とする光デバイス実装用基板 S。



## 【特許請求の範囲】

【請求項 1】 基板の一主面に、光導波体を搭載すべくエッチング加工により形成された搭載溝と、前記光導波体と光結合させる光素子が搭載される電極パターンと、前記光導波体の光軸に対応する前記搭載溝の中心軸に対し所定距離隔てて形成され、且つ該搭載溝の形成に用いるエッチング液に対し耐性を有する複数の開口状マーカ一とを設け、これら複数の開口状マーカ一を基準として前記光素子を前記電極パターン上に設置することを特徴とする光デバイス実装用基板。

【請求項 2】 請求項 1 に記載の搭載溝に光導波体を搭載させるとともに、該光導波体に光結合させる光素子を前記基板上に設けて成る光モジュール。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に光ファイバ、光導波路等の光導波体、及び発光素子や受光素子等の光素子を配置して、これら光部品を精度よく光学的に結合させることが可能な光デバイス実装用基板及びその製造方法並びに光モジュールに関する。

【0002】

【従来の技術】 近年、光通信システムの大容量化及び多機能化が求められており、それに伴って光送信器や光受信器等の光デバイスの小型化、高集積化、及び低コスト化が要望されている。

【0003】 特に、光デバイスの組み立てコストを削減する目的で、同一基板上に光ファイバや半導体光素子等の光部品を搭載する技術、いわゆる光ハイブリッド実装技術やシリコンブラットフォーム等の技術が注目されている。

【0004】 上記技術によれば、例えば基板上に形成された V 溝に光ファイバを実装し、同一の基板上に形成された導体パターンに光素子を実装するだけで、基板上で光ファイバと光素子とを無調心で位置合わせすることが可能とされている。

【0005】 基板上に無調心で光部品の実装を可能にするには、例えば基板に形成した光ファイバ搭載用の V 溝と光素子搭載用の電極、またはこの V 溝と光素子搭載用の位置合わせマーカ一とが各々高精度に形成され、且つそれぞれにおける両者の位置関係がサブミクロンオーダーの精度で形成されていなければならない。

【0006】 このようなシリコンブラットフォームの作製方法について、図 5 に基づき説明する。図 5 (a) ~ (h) は、それぞれ従来の光ハイブリッド実装基板の製作工程を説明する平面図である。

【0007】 まず、図 5 (a) に示すように、所定の方位を主面とする単結晶のシリコン基板 71 上にシリコン酸化膜やシリコン窒化膜等の、シリコンのエッチング液に対して耐性を有する膜を被着形成し、V 溝形成用のフォトリソグラフィにより上記膜を

パターンニングし、シリコン基板 71 の露出面 71a を有した V 溝形成用パターン 72 を得る。

【0008】 次に、図 5 (b) に示すように、V 溝形成用パターン 72 をマスクとして、水酸化ナトリウム (NaOH) や水酸化カリウム (KOH) 等のエッチング液により、図 5 (a) における露出面 71a をエッチングし、異方性エッチングにより V 溝 73 が形成される。

【0009】 次に、図 5 (c) に示すように、図 5 (b) における V 溝形成用パターン 72 をいったん除去した後に、V 溝 73 を含むシリコン基板 71 の一主面全体に、熱酸化法もしくはスパッタ法やプラズマ CVD 法等により、シリコン酸化膜やシリコン窒化膜等の保護膜 74 を形成する。

【0010】 次に、図 5 (d) に示すように、後記する電極や光素子実装用マーカ一を形成するためのフォトリソマスクを用いることにより、電極形成領域 75 や光素子実装用マーカ一形成領域 76 を除く領域にフォトリソマスク 77 を形成する。

【0011】 次に、図 5 (e) に示すように、シリコン基板 71 の一主面側の全面に電極材料となる金 (Au) 等の金属膜 78 を蒸着法等により被着形成する。

【0012】 次に、図 5 (f) に示すように、リフトオフ法により図 5 (d) における電極形成領域 75 や光素子実装用マーカ一形成領域 76 を除く領域のフォトリソマスク 77 を除去し、後記する光素子搭載部を含む電極パターン 79 及び光素子実装用マーカ一 80 を形成する。

【0013】 そして、図 5 (g) に示すように、電極パターン 79 の光素子搭載部 81 に半田を塗布形成し、しかる後に図 5 (h) に示すように、ダイシングによりファイバストップパ溝 82、及びシリコン基板 81 の端面 81a において切断を行うことにより、不図示の光ファイバを実装するための V 溝 83、及び不図示の光素子を実装するための光素子搭載部 81 を同一のシリコン基板 81 に形成した光デバイスの実装基板 J が完成する。

【0014】

【発明が解決しようとする課題】 上記方法では、光ファイバ搭載用の V 溝の形成時に、シリコン基板の端部等に設けられた位置合わせマーカ一と、電極及び光素子実装用のマーカ一形成時に用いるフォトリソマスクのマーカ一とで位置合わせを行う。

【0015】 しかしながら、これまでコンタクト式等の露光装置自体がサブミクロンオーダーの位置合わせが可能な場合が多く、たとえそれが可能であったとしても、V 溝が形成されたシリコン基板へフォトリソマスクを塗布する際に、V 溝周辺のフォトリソマスクの膜厚分布により、基板に形成されたマーカ一の判別が困難となる。

【0016】 また、そのような問題点をクリアしたとしても、シリコン基板側の位置合わせマーカ一が種々の製造プロセスを経ているため、シリコン基板がこれら製造プロセスの熱履歴により反ることがあり、この反りが原因

で位置合わせマーカーが位置ずれを起こす。

【0017】したがって、従来ではV溝と光素子搭載用のマーカーとの位置合わせは非常に困難であったのであり、光ファイバと光素子とを無調心で精度良く実装することはできなかった。このため、性能の良い優れた光モジュールを提供することができなかった。

【0018】この問題点を解決するために、発明者等はV溝形成と同時に電極及び／又は位置合わせ用マーカーを作製する方法を考案した（特願平8-334303号）が、製造プロセスが上記の従来方式に比較して煩雑となる。また、煩雑化した製造プロセスにより形成される電極及び／又は位置合わせ用マーカーの積層構造が複雑になるため、マーカーのエッジ部のゆらぎが大きくなり、画像処理によるマーカーのエッジ部の検出精度が悪くなるため、たとえ高精度にブラッドブォームを形成できたとしても、光素子の実装精度の向上が見込めず、結果として、光導波体と発光素子や受光素子等の光素子との位置決め精度が劣化し、ひいては優れた性能の光モジュールを提供できないという問題点があった。

【0019】そこで、本発明は上記事情に鑑みて提案されたものであり、光ファイバや光導波体等の光導波体の搭載溝と光素子の位置合わせ用マーカーとの位置合わせが精度良く作製され、かつ検出精度のよい位置合わせ用マーカーを有する光デバイス実装用基板及び光モジュールを提供することを目的とする。

【0020】（課題を解決するための手段）上記目的を達成するための

光デバイス実装用基板は、基板の一主面に、光導波体を搭載すべくエッチング加工により形成された搭載溝と、前記光導波体と光結合させる光素子が搭載される電極パターンと、前記光導波体の光軸に対応する前記搭載溝の中心軸に対し所定距離隔てて形成され、且つ該搭載溝の形成に用いるエッチング液に対し耐性を有する複数の開口状マーカーとを設け、これら複数の開口状マーカーを基準として前記光素子を前記電極パターン上に設置することを特徴とする。

【0021】また、本発明の光モジュールは、上記搭載溝に光導波体を設け、該光導波体に光結合させる光素子を前記基板上に設けて成るものとする。

【0022】

【発明の実施の形態】以下に、本発明に係る実施形態について図面に基づき説明する。図1に本発明の一実施例を説明する光モジュールMの斜視図を示す。図1に示すように、光モジュールMは光デバイス実装用基板Sと、光ファイバや光導波体等の光導波体11と、この光導波体11に光結合される光素子である発光素子12と、発光素子12の出力をモニターして発光素子12へ制御信号を送出する受光素子13とから主に構成されている。ここで、図1において詳細な電極パターンについては図示を省略しているが、発光素子12と受光素子13とは

それぞれ外部回路に電氣的に接続されているものとする。

【0023】ここで、光デバイス実装用基板Sは、単結晶シリコン等から成る基板1に光導波体11の設置に適切な深さ（約 $1.0 \times 10^{-4} \mu\text{m}$ ）の搭載溝1aが形成され、発光素子12や受光素子13等の光素子を搭載するための電極パターン5、及び複数の耐エッチング膜から成る絶縁性の開口状マーカー10（深さ $0.1 \sim 2 \mu\text{m}$ 、幅約 $1.0 \mu\text{m}$ 、面積約 $5.0 \times 10^{-4} \mu\text{m}^2$ ）がそれぞれ形成されている。この開口状マーカー10は光導波体11の光軸に対応する搭載溝1aの中心軸上に対して所定距離隔てて形成されている。

【0024】開口状マーカー10を図2に拡大図で示す。図2では、開口状マーカー10は十字形をなす開口で示しているが、形状はこれに限定されるものではなく、光素子の実装時に位置決めが容易なようにエッジ部が形成された形状であればよく、例えば矩形状や各種多角形状等であってもよい。従来、電極パターンと同時に形成された成膜パターンによるマーカーでは、膜厚が大きく、また製造プロセスが複雑であったため、特にマーカーのエッジ部でのゆらぎが大きく、高精度にエッジ部の検出ができなかったが、本発明では、絶縁膜の開口を利用した開口状マーカーであるため段差を小さくすることができ、エッジ部を高精度に検出できる。また、開口状マーカーを構成する絶縁膜の組み合わせにより、画像処理に適したエッジの高精度の検出が可能となる。

【0025】次に、このような光デバイス実装用基板Sの製造方法について図3及び図4に基づき説明する。図3（a）～（g）はそれぞれ光デバイス実装基板の作製工程を説明する平面図であり、図4（a）～（g）はそれぞれ図3（a）～（g）の断面図であり、図4（a）は図3（a）のA-A線断面図、図4（b）は図3（b）のB-B線断面図、図4（c）は図3（c）のC-C線断面図、図4（d）は図3（d）のD-D線断面図、図4（e）は図3（e）のE-E線断面図、図4（f）は図3（f）のF-F線断面図、図4（g）は図3（g）のG-G線断面図である。

【0026】図3（a）、図4（a）に示すように、まず、主面が（100）面の単結晶シリコンから成る基板1を用意し、熱酸化法、スパッタ法、プラズマCVD法等、もしくはそれらを組み合わせた薄膜形成法により、基板1の一主面全面に開口部2aを有する絶縁性の第1の耐エッチング膜（例えば酸化シリコン（ $\text{SiO}_2$ ）膜）2を厚さ $0.5 \sim 1 \mu\text{m}$ で形成する。

【0027】すなわち、図1に示す光導波体11を搭載させるための搭載溝1aであるV溝は、実際に形成させる領域よりも広い開口部2aを有した第1の耐エッチング膜2を、第1のフォトリソグラフィ（不図示）を用いてフォトリソグラフィにより形成する。なお、ここで、基板1に所定形状のマスク合わせ用のマーカー（不図示）

を形成しておき、このマーカーに第1のフォトマスクP1を合わせてフォトリソグラフィを行ってもよい。

【0028】次いで、図3(b)、4(b)に示すように、プラズマCVD法等により第2の耐エッチング膜(例えば、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)等のSi-N系膜)3を厚さ0.1~2μmで形成する。すなわち、基板1に上記光導波体11を搭載するための搭載溝形成用パターンと、光素子搭載用の位置合わせマーカーパターンとが形成された1枚の第2のフォトマスク(基準マスク)P2を用いて、V溝形成部3a、及び光素子の位置決めに使用するマーカーの形成部(マーカー形成部)3bに開口を有する第2の耐エッチング膜3を第1の耐エッチング膜2上に積層する。

【0029】次いで、図3(c)、図4(c)に示すように、溶液温度60~80℃、30~45重量%のKOH水溶液を用い、基板1の結晶面のエッチングレートの違いを利用して、エッチングレートの小さい(111)面が溝の側面(基板1の表面に対して約55°の傾斜面)にあらわれたV溝形状の搭載溝1aを形成する。なる。マーカーの形成部3bは下地に第1の耐エッチング膜2が存在するため、基板1本体はエッチングされない。

【0030】次いで、図3(d)、図4(d)に示すように、搭載溝1aの段差部を含む基板1の全面にフォトレジストを塗布し、上記第2のフォトマスクP2を用いて作製した領域に正確に位置合わせして、すなわち、第2のフォトマスクP2を用いて形成したマーカーの形成部3bに正確に位置合わせして、後工程で電極パターンを形成する領域4aとマーカー形成部4bとに開口を有するフォトリソグラフィによりフォトレジストパターン4を形成する。なお、光素子搭載用のマーカーと別にマスク合わせ用アライメントマーカーが形成されている。

【0031】さらに、図3(e)、図4(e)に示すように、電極材料であるAu/Pt/Ti、Au/Pt/TiN/Ti、Au/Ti、Au/Ni/Cr、またはAu/Cr等を、電子ビーム蒸着法やスパッタ法などの薄膜形成法により厚さ300.0~1μm程度に成膜し、リフトオフ法にてフォトレジストパターン4を除去することにより、電極パターン5を形成する。なお、上記電極材料は上層/下層の順で表記している。

【0032】次いで、図3(f)、図4(f)に示すように、電極パターン5の上に半田6を塗布し、図3(g)、図4(g)に示すように、基板1の端部の切断や電極パターン5と搭載溝1aとの間の溝切りをダイシングにより行い、端面1b及び光導波体ストッパ(光導波体11が光ファイバの場合ファイバストッパという)の溝7を形成して、光デバイス実装基板Sが作製される。

【0033】このように、光デバイス実装基板Sに形成された搭載溝1aに例えば光ファイバを搭載し、電極パターン5上の半田6の上に半導体レーザー素子等の光素子

を開口状マーカー10を目印(基準点)として搭載するだけで、光ファイバと光素子との光結合が非常に精度よく行うことが可能となる。これにより高精度なパッケージアライメントが実現された光モジュールを完成させることができる。この場合の精度は、従来の誤差(±0.2~±1.5μm)に比して殆ど誤差の無い程の正確な位置合わせを実現することができる。

【0034】なお、フォトレジストは搭載溝形成面においては例えばスピンコートを行い、V溝形成後においては例えばスプレーコート法を用いることにより、フォトレジストを均一に塗布形成させることができる。また、光導波体の搭載溝は上記の例のようにV溝に限定されるものではなく、また、光素子搭載用マーカーの形状についても、上記例に限定されるものではない。また、光ファイバの代わりに基板の表面に導波路が形成された光導波路等の光導波体を設けてもよく、また、光素子は発光素子だけ、受光素子だけであってよい。また、光デバイス実装基板Sはシリコン単結晶以外に、GaAs単結晶、水晶、樹脂、セラミックス等でも使用可能である。V溝を異方性エッチングにより位置精度良く形成しやすい点でシリコン単結晶が好ましい。

【0035】なおまた、上記においては、電極の形成前にV溝の作製を行った場合を示したが、先に電極パターンの形成を行い、次いでV溝の作製を行うようにしてもよい。この方法によっても上記の場合と同様な効果を得ることができる。この製造プロセスにおいては、リフトオフが容易かつ迅速に行えるという利点がある。

【0036】なおさらに、本発明は上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で適宜変更することが可能である。

#### 【0037】

【発明の効果】以上詳述したように、本発明の光デバイス実装基板によれば、光導波体の搭載溝形成のためのエッチング時のエッチングマスクパターンと、光素子実装用の位置合わせに用いる開口状マーカーを形成するためのパターンとを同一製造プロセスにて精度良く形成することができる。従来のような搭載溝と光素子搭載用の電極、または搭載溝と位置合わせマーカーとの位置合わせを不要とし、且つその精度をサブミクロンオーダーで形成することが可能となり、光デバイス実装基板を迅速かつ高精度に提供することができる。

【0038】また、開口状マーカーが耐エッチング膜で形成されているので、開口状マーカーのエッジ部が製造プロセスで変形することがなく、しかも画像処理に好適なコントラストを生じさせることが可能となるので、開口状マーカーの検出精度を向上させることができ、光導波体と光素子のトータルの実装精度を飛躍的に向上させることができる。

【0039】さらに、光導波体と光素子とが精度よく光結合されることにより、性能の非常に優れた光モジュール



を提供することができる。

【図面の簡単な説明】

【図1】本発明の光デバイス実装基板及び光モジュールの一実施形態を説明する斜視図である。

【図2】位置合わせ用マーカの一列を説明する斜視図である。

【図3】(a)～(g)は、それぞれ本発明に係る光デバイス実装基板の作製工程の一例を説明する平面図である。

【図4】(a)～(g)は、図3(a)～(g)における断面図である。

【図5】(a)～(h)は、それぞれ従来の光デバイス

実装基板の作製工程を説明する平面図である。

【符号の説明】

1：基板

1a：V溝（搭載溝）

5：電極パターン

10：位置合わせ用マーカ

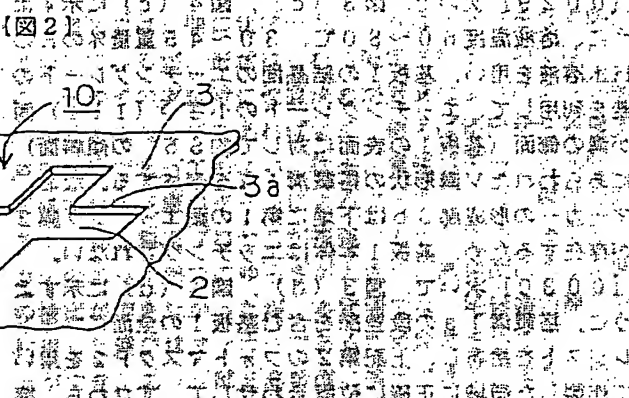
11：光導波体

12：発光素子

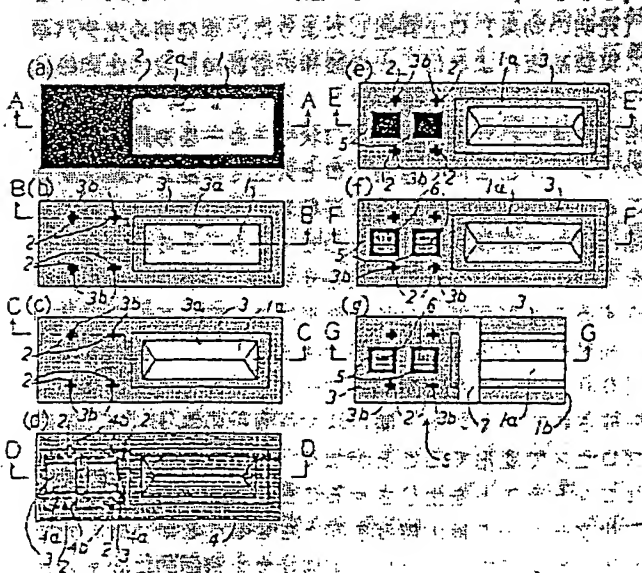
13：受光素子

S：光デバイス実装用基板

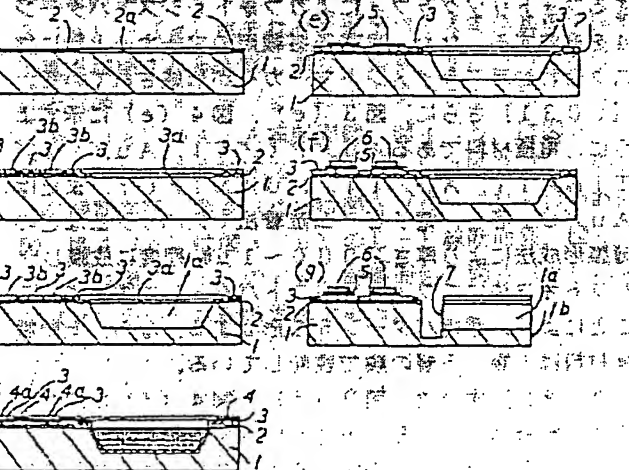
M：光モジュール



【図3】(a)～(g)は、それぞれ本発明に係る光デバイス実装基板の作製工程の一例を説明する平面図である。



【図4】(a)～(g)は、図3(a)～(g)における断面図である。



【図5】(a)～(h)は、それぞれ従来の光デバイス実装基板の作製工程を説明する平面図である。

【図6】(a)～(h)は、それぞれ従来の光デバイス実装基板の作製工程を説明する断面図である。

